

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020004314 A
(43)Date of publication of application: 16.01.2002

(21)Application number: 1020000038068
(22)Date of filing: 04.07.2000

(71)Applicant: AHN, DAL
(72)Inventor: AHN, DAL
AHN, HUN
KANG, BYEONG GWON
KIL, JUN BEOM
KIM, CHEOL SU
KIM, HO SEOP
KIM, SANG HYEOK
LEE, SEONG WON
PARK, GYU HO
PARK, JUN SEOK
SUNG, JEONG HYEON
YOON, JUN SIK

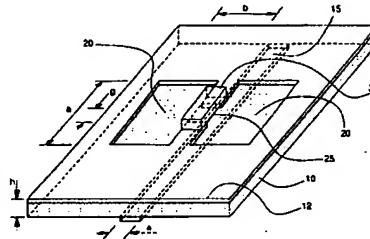
(51)Int. Cl

H01P 7/10

(54) RESONATOR WITH DEFECTED GROUND STRUCTURE ON DIELECTRIC

(57) Abstract:

PURPOSE: A resonator with a defected ground structure on a dielectric is provided to control simply the Q factor and resonance frequency of the resonator by coupling an electronic element to a ground surface of a DGS(Defected Ground Structure) circuit, and apply to a high frequency circuit by enhancing power application rate to minimize power loss.



CONSTITUTION: A ground surface(12) includes an etching part having a gap(25) in which electric field concentration parts are formed in its internal both ends as a conductive film coated on one surface of a dielectric substrate(10) formed of dielectric material. A transmission wire(15) is coated on a surface of a gap position opposite to the ground surface(12) of the dielectric substrate(10) to transmit signals. Both ends of an electronic element(30) are connected to both ends of the ground surface(12).

&copy; KIPO 2002

Legal Status

Date of final disposal of an application (20020618)
Patent registration number (1003495710000)
Date of registration (20020808)

BEST AVAILABLE COPY

10-0349571

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01P 7/10		(45) 공고일자	2002년08월24일
		(11) 등록번호	10-0349571
		(24) 등록일자	2002년08월08일
(21) 출원번호	10-2000-0038068	(65) 공개번호	특2002-0004314
(22) 출원일자	2000년07월04일	(43) 공개일자	2002년01월16일
(73) 특허권자	안달		
(72) 발명자	충남 천안시 쌍용2동 1923 용암동아벽산아파트 107동 303호		
	안달		
	충남 천안시 쌍용2동 1923 용암동아벽산아파트 107동 303호		
	박준석		
	충청남도천안시쌍용동1914주공9단지411-105		
	김철수		
	충청남도아산시신항면읍내리경희학성아파트109동410호		
	박규호		
	서울특별시시성동구옥수동250번지옥수삼성아파트103-1306호		
	안훈		
	충청남도아산시신항면경희학성아파트105동508호		
	이성원		
	서울특별시마포구서교동330-5413/5		
	길준범		
	대전광역시서구용문동592-8		
	윤준식		
	서울특별시송파구송파동119한양아파트1동805호		
	성정현		
	충청남도아산시배방면공수리2구72-3상일맨션A동202호		
	김상혁		
	충청남도서산시대산읍운산리2구620		
	김호섭		
	충청남도천안시원성2동510-1515/3		
	강병권		
(74) 대리인	충청남도천안시쌍용동1273번지상록수현대아파트401-1101		
	이재화		

심사관 : 권기억

(54) 유전체의 접지면에 식각된 결합 구조를 갖는 공진기

요약

본 발명은 유전체 기판의 도전성 접지면에 일부 식각된 결합 구조에 전자 소자를 결합시켜서 공진기의 Q 팩터와 공진 주파수를 간편하게 제어할 수 있는 유전체의 접지면에 식각된 결합 구조를 갖는 공진기에 관한 것으로, 유전성 물질로 이루어진 유전체 기판과; 상기 유전체 기판의 일면에 피막된 도전막으로써, 내부의 양단부에 전계 밀집 부분을 형성하는 갭을 포함하는 식각부를 갖는 접지면과; 상기 유전체 기판의 접지면 반대면의 갭 위치에 피막되어 신호를 전송하는 전송 선로와; 상기 접지면의 양단부에 그 양단이 접속되는 전자 소자로 구성된다.

도표도

도5

색인어

DGS, 캐패시터, 인덕터, 저항, 여파기

명세서

도면의 간단한 설명

- 도 1은 본 발명을 설명하기 위한 일반 DGS 셀의 구조도.
 도 2는 도 1에 나타난 DGS 셀의 시뮬레이션 특성을 나타낸 그래프.
 도 3은 도 1에 나타난 DGS 셀의 전계 분포를 나타낸 전계 분포도.
 도 4는 도 1에 나타난 DGS 셀의 등가 회로를 나타낸 회로도.
 도 5는 본 발명의 실시예 중에서 Q 팩터를 제어하기 위한 실시예를 나타낸 설명도.
 도 6은 상기 도 5에 나타난 실시예의 등가회로를 나타낸 회로도.
 도 7은 상기 도 5에 나타난 실시예의 외부 저항의 영향에 대한 측정 결과를 나타낸 그래프.
 도 8은 본 발명의 실시예 중에서 외부 인덕터 또는 캐패시터를 연결하여 구성한 병렬 DGS 공진기의 구조를 나타낸 설명도.
 도 9는 도 8에 나타난 실시예의 등가회로를 나타낸 회로도.
 도 10은 도 8에 나타난 실시예에서 외부 소자로 캐패시터를 연결한 경우의 측정 결과를 나타낸 그래프.
 도 11은 도 8에 나타난 실시예에서 외부 소자로 인덕터를 연결한 경우의 측정 결과를 나타낸 그래프.
 도 12a, b는 본 발명의 실시예 중에서 1/4 파장 DGS 공진기의 실제 모습 및 크기를 나타낸 사진.
 도 13은 RF 스위치를 설계하기 위한 단위 DGS 셀을 나타낸 구조도.
 도 14는 도 13에 나타난 단위 DGS 셀의 등가회로를 나타낸 회로도.
 도 15는 도 13에 나타난 단위 DGS 셀을 이용한 RF 스위치의 구조를 나타낸 구조도.
 도 16a, b는 도 15에 나타난 DGS RF 스위치의 실제 모습과 크기를 나타낸 사진.
 도 17은 도 13에 나타난 단위 DGS 셀을 이용한 RF 스위치의 스위칭 특성을 측정한 결과를 나타낸 그래프.
 도 18은 종래의 DGS 셀을 주기적으로 배열한 여파기의 실시예를 나타낸 설명도.

*** 도면의 주요 부분에 대한 부호 설명 ***

- 10 : 유전체 기판 12 : 접지면
 15 : 마이크로스트립 20 : DGS 셀
 25 : 갭 30 : 외부 저항
 35 : 외부 캐패시터(또는 인덕터)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유전체의 접지면에 식각된 결함 구조를 갖는 공진기에 관한 것으로, 보다 상세하게는 유전체 기판의 도전성 접지면에 일부 식각된 결함 구조에 전자 소자를 결합시켜서 공진기의 Q 팩터와 공진 주파수를 간편하게 제어할 수 있는 유전체의 접지면에 식각된 결함 구조를 갖는 공진기에 관한 것이다.

최근 유전체 기판의 도전성 접지면에 결함 패턴을 식각시키고 그 이면에 전송 선로가 형성된 DGS(Defected Ground Structure) 회로의 구조를 마이크로파 대역과 밀리미터파 대역에서 응용하기 위하여 연구가 활발히 진행되고 있는 실정이다.

도 18에서와 같이, 유전체 기판(10)의 접지면(12)에 인위적인 주기적 결함(defect, 21a~21e) 구조를 갖는 전송 선로는 저 손실의 슬로우-웨이브 특성과 특정 주파수 대역에서의 저지 대역을 갖는 특성을 나타낸다(V. Qian, F. G. Yang, and T. Itoh, "Characteristics of microstrip lines on a unipolar compact PBG ground plane," APMC'98 Dig., pp.589-592, Dec. 1998.)(V. Radisic, Y. Qian, R. Coccioli, and T. Itoh, "Novel 2-D photonic bandgap structure for microstrip lines," IEEE Microwave Guide Wave Lett., Vol.8, No.2, pp.69-71, Feb 1998.).

또한, 이러한 특성들은 전력 증폭기의 효율과 출력 전력의 증가, 안테나의 복사 패턴 개선, 하모닉의 제거를 위한 여파기, 전력 분배기 등에 다양하게 응용되고 있다(M. P. Kesler, J. G. Maloney, and B.L. Shirley, "Antenna design with the use of photonic bandgap material as all dielectric planarreflectors," Microwave Opt. Tech. Lett. Vol. 11, No. 4, pp. 169-174, Mar. 1996.)(V. Radisic, Y. Qian, R. Coccioli, and T. Itoh, "Novel 2-D photonic bandgap structure for microstrip lines," IEEE Microwave Guide Wave Lett., Vol.8, No.2, pp.69-71, Feb 1998.)(김철수, 박준석, 안달, 김근영, "Slow-wave 특성을 이용한 3dB 전력 분배기 설계", 한국전자파학회 논문지 제10권 제5호 pp. 694-700, 1999.)(J. I. Park, C. S. Kim, J. S. Park, Y. Qian, D. Ahn, and T. Itoh, "Modeling of photonic bandgap and its application for the low-pass filter design," APMC'99, Dig., Vol. 2, pp. 331-334, Nov. 1999.).

이와 같이 주기적인 배열 구조로 된 DGS 회로를 이용하여 공진기를 설계할 경우, 유전체 기판의 접지면에 결함 구조를 식각하여 형성한 DGS 회로의 셀 크기나 셀의 중앙에 형성되는 갭의 간격 등을 통하여 설

정해야 한다.

그리고, DGS 셀을 이용해서 가능한 회로를 도 10에 나타내었는데, 도 10에 나타낸 종래 예는 다수의 DGS 셀(21a~21e)을 1차원에서 주기적인 배열을 갖도록 배열함으로써 각 DGS 셀에 의하여 설정되는 공진 특성을 이용하여 여파기를 설계한 예이다.

이와 같이 기존에는 DGS 셀을 이용하여 공진기를 형성하기 위해서는 각 DGS 셀의 파라미터(넓이, 갭의 간격 등)를 설정하여 공진 특성을 규정해야 하며, 하나의 DGS 셀을 이용하여 원하는 특성을 갖는 여파기를 설계하기는 현실적으로 어렵기 때문에 1차원 또는 2차원 배열의 주기적인 배열을 통하여 공진 특성을 설정해야만 했었다.

따라서, 기존에는 DGS 셀을 여파기로 응용하는 경우에 공진 주파수를 설정하기 위해서는 유전체 기판의 접지면에 형성된 식각된 결함 구조를 이용한 공진기(이하, 'DGS 회로'라고 칭한다.)의 전송 선로인 마이크로스트립의 폭과 식각된 결함의 넓이 및 갭 등에 의해서 단위 DGS 셀의 인덕턴스(L_m) 및 캐패시턴스(C_m)와 임피던스(Z_0) 값이 결정되기 때문에 공진기의 Q 팩터가 낮아서 실제 회로로 이용하기가 어렵고, 공진 주파수를 가변 제어하기가 매우 어려운 문제점이 있었다.

그리고, 기존의 PBG(Photonic Band Gap) 구조를 이용한 공진회로는 주기적인 배열 방법만으로 구조의 크기 및 간격 등을 변경함으로써 회로 설계가 가능하기 때문에, 현재 모델링의 한계가 있으며, PBG 구조를 이용한 안테나의 복사 패턴 개선과 대역 통과 여파기에 응용예를 보이고 있으나, PBG 구조의 감쇄 대역과 그룹 지연 특성만 확인되어 실제 주파수 소자로 응용하기에는 그 특성이 불완전하여 소자로 이용하기에는 그 가치가 떨어지는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 이러한 종래 기술의 문제점을 감안하여 안출된 것으로, 그 목적은 DGS 회로의 접지면에 전자 소자를 결합시킴으로써, 공진기의 Q 팩터와 공진 주파수를 간단하게 제어할 수 있고, 전력 인가를 높여서 전력 손실율을 최소한으로 줄여 줌으로써, 공진기, 여파기 등과 같은 고주파 회로로 응용 분야를 확대해 주는 유전체의 접지면에 식각된 결함 구조를 갖는 공진기를 제공하는데 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위하여, 본 발명은 유전성 물질로 이루어진 유전체 기판과; 상기 유전체 기판의 일면에 피막된 도전막으로써, 내부의 양단부에 전계 밀집 부분을 형성하는 갭을 포함하는 식각부를 갖는 접지면과; 상기 유전체 기판의 접지면 반대면의 갭 위치에 피막되어 신호를 전송하는 전송 선로와; 상기 접지면의 양단부에 그 양단이 접속되는 전자 소자로 구성되는 것을 특징으로 하는 유전체의 접지면에 식각된 결함 구조를 갖는 공진기를 제공한다.

상기 전자 소자는 저항으로 구성되며, 저항값을 조절하여 공진기의 Q 팩터를 간단하게 조절할 수 있으며, 또는 캐패시터로 구성되며 캐패시터의 캐패시턴스가 변화함에 따라 공진기의 공진 주파수를 변화시켜 준다.

그리고, 상기 전자 소자는 인덕터로 구성되며 인덕터의 인덕턴스가 변화함에 따라 공진기의 공진 주파수를 변화시켜 준다.

또한, 상기 전자 소자는 바랙터 다이오드로 구성되며 바랙터 다이오드의 양단에 가해지는 전압을 제어함으로써 캐패시턴스를 변화시켜서 공진기의 공진 주파수를 변화시켜 준다.

상기 전송 선로와 소정의 간격을 갖고 상기 접지면의 반대면에 형성된 신호 인가용 라인과 신호 출력용 라인을 더 포함하며, 상기 전송 선로의 선단부는 핀홀을 통하여 상기 접지면과 접속된다.

상기한 바와 같이 본 발명에서는 유전체 기판의 접지면에 형성된 DGS 셀의 갭 위치에 전자 소자를 결합시킴으로써, Q 팩터와 공진 주파수를 원활하게 제어할 수 있으면서, 전력 손실율을 최소한으로 줄여 주는 다양한 주파수 제어 소자로 응용할 수 있다.

(실시예)

이하에 상기한 본 발명을 바람직한 실시예가 도시된 첨부 도면을 참고하여 더욱 상세하게 설명한다.

본 발명을 설명하기 위하여, DGS 회로의 기본 구조를 도 1~4를 참조하여 설명한다.

도 1은 본 발명을 설명하기 위한 일반 DGS 셀의 구조도, 도 2는 도 1에 나타낸 DGS 셀의 시뮬레이션 특성을 나타낸 그래프, 도 3은 도 1에 나타낸 DGS 셀의 전계 분포를 나타낸 전계 분포도, 도 4는 도 1에 나타낸 DGS 셀의 등가 회로를 나타낸 회로도이다.

본 발명에 이용되는 DGS 회로의 기본 구조는 도 1에서와 같이, 유전체 기판(10)의 접지면(12)에 DGS 셀(20) 즉, 결함(defect) 패턴을 식각시킨 구조이다.

상기 접지면(12)은 도전성 금속막으로 되어 유전체 기판(10)에 코팅된 구조이다.

따라서, 상기 DGS 셀(20)은 상기 유전체 기판(10)의 접지면(12)을 형성하고 있는 도전성 금속막의 일부를 식각시켜서 형성한 구조로, DGS 셀(20)을 접지면(12)에 형성할 때에 DGS 셀(20)의 중간 부분을 제외하고 식각시킴으로써 갭(25)을 형성한다.

그리고, 유전체 기판(10)의 접지면(12)의 반대면에는 전송 선로 역할을 하는 마이크로스트립(15)을 형성하는데, 이 마이크로스트립(15)은 유전체 기판(10)의 일면에 도전성 금속막을 일정 폭(w)으로 코팅한 구조이다.

상기 구조로 된 DGS 회로의 마이크로스트립(15)의 양단 중 어느 한 단에 신호를 인가하고, 다른 단에서

신호를 인출하면, 상기 DGS 셀(20)이 위치한 부분에서 공진이 일어나 공진기로써 역할을 하도록 되어 있다.

이와 같은 도 1에 나타낸 기본 DGS 회로의 등가 회로를 구하기 위하여 시뮬레이션한 결과를 도 2에 나타내었다.(상기 시뮬레이션은 안소프트 코리아(Ansoft Korea) 사의 EM 시뮬레이터인 Ansoft-HFSS V. 6.0을 이용한 실시한 것이다.)

도 2에서 보는 바와 같이, 도 1의 구조를 갖는 하나의 DGS 셀은 8GHz 근방에서 감쇄극이 나타나는 것을 알 수 있으며, 도 3에 나타낸 바와 같이 마이크로스트립(15)의 아래에 형성된 DGS 셀(20)의 갭(25) 위치에 가장 강한 전계 분포가 나타나는 것을 알 수 있다.

상기 도 1에 나타낸 하나의 DGS 셀 제작에 사용한 기판은 유전율 2.2, 두께(h) 31mil(0.7874mm)인 로저스(ROGERS)사의 RT/Duroid 5880을 사용하였으며, DGS 셀의 각 파라미터는 $a = b = 5\text{mm}$ (DGS 셀의 가로, 세로), $g = 0.5\text{mm}$ (갭 간격)이다.

전송 선로 즉, 마이크로스트립(15)의 폭(w)은 기존 구조의 특성 임피던스와 동일하게 하기 위하여 특성 임피던스가 50(ohm)인 2.4mm로 하였다.

이와 같이 DGS 회로를 특정 공진 주파수를 갖는 여파기로 이용하기 위해서는 DGS 셀(20)의 넓이(a와 b에 의하여 설정되는 영역)와 갭(25)의 간격(g), 마이크로스트립(15)의 폭(w), 유전체 기판(10)의 유전율 및 그 두께(h) 등에 의하여 공진 주파수가 결정되는데, 도 1과 같은 단위 DGS 셀의 등가 회로는 일반적으로 도 4와 같이 이루어진다.

도 4에 나타낸 등가회로는 일반적인 공진 회로를 구성하는 인덕턴스(L_m) 및 캐패시턴스(C_m)와 임피던스(Z_0)는 상기 도 1의 DGS 셀(20)을 구성하는 각 파라미터들에 의하여 결정되며, 일반 병렬 LC 회로의 공진 주파수에 기인하는 감쇄극을 갖는다.

상기와 같은 기본 구조를 갖는 DGS 회로에서 DGS 셀(20)의 갭(25) 위치에 외부 저항 또는 인덕터, 캐패시터 등을 결합시켜서, 공진기로써 특성을 향상시키면서, Q 팩터와 공진 주파수 제어를 간편하게 할 수 있는데, 이에 대하여 아래에 각 실시예 별로 설명한다.

본 발명의 제 1 실시예는 도 1과 같은 기본 구조를 갖는 DGS 회로의 갭(25) 위치에 연결되는 외부 저항($30, R_{ex}$)을 통하여 공진기의 Q 팩터를 간단하게 조절할 수 있는 회로이며, 이에 대하여 도 5~7을 참조하여 설명한다.

도 5는 본 발명에 따른 전자 소자가 결합된 DGS 회로의 실시예 중에서 Q 팩터를 제어하기 위한 실시예를 나타낸 설명도, 도 6은 상기 도 5에 나타낸 실시예의 등가회로를 나타낸 회로도, 도 7은 상기 도 5에 나타낸 실시예의 외부 저항의 영향에 대한 측정 결과를 나타낸 그래프이다.

도 5에 나타낸 제 1 실시예는 유전체 기판(10)의 접지면(12)에 형성된 DGS 셀(20)의 갭(25) 위치에 접지항으로 된 외부 저항($30, R_{ex}$)을 결합시킨 것으로, 이에 대한 등가회로를 도 6에 나타내었다.

도 6의 등가회로를 보면, 상기 외부 저항($30, R_{ex}$) 외의 등가 회로는 DGS 셀(20)의 파라미터 즉, DGS 셀(20)의 넓이($a \times b$), 갭(25)의 간격(g), 마이크로스트립(15)의 폭(w) 등에 의하여 인덕턴스 값(L_m) 및 캐패시턴스 값(C_m)과 임피던스 값(Z_0)이 결정되는데, 이 등가 회로에 외부 저항($30, R_{ex}$)이 DGS 셀(20)에 의한 상기 인덕터(L_m)와 캐패시터(C_m)에 병렬 연결되는 경우와 동일한 효과를 나타낸다.

상기 외부 저항($30, R_{ex}$)의 저항치 변화에 따른 Q 팩터의 변화를 도 7에 나타내었으며, 도 7에서 외부 저항($30, R_{ex}$)이 삽입되지 않은 경우(도 1의 구조와 동일한 구조를 갖는 DGS 셀)와, 100(ohm)의 외부 저항($30, R_{ex}$)이 연결된 경우(100 ohm 곡선), 330(ohm)의 외부 저항($30, R_{ex}$)이 연결된 경우(300 ohm 곡선)와 같이, 외부 저항($30, R_{ex}$)의 저항치가 감소함에 따라 Q 팩터가 저하되는 것을 알 수 있다.

따라서, 도 1의 구조를 갖는 일반적인 DGS 회로의 갭(25) 위치에 네거티브 저항(negative register, -R)을 연결하여, 도 1의 DGS 회로보다 월등하게 향상된 Q 팩터를 확보할 수 있는 것이다.

$$R_{in} \times (-R_{ex})$$

상기 네거티브 저항(negative R)을 연결하면 내부 저항(R_{in})과 병렬합성 관계이므로, $\frac{R_{in} \times (-R_{ex})}{R_{in} + (-R_{ex})}$ 와 같아서, 분모를 '0'에 가깝게 형성할 수 있으므로, 이론적으로는 저항을 무한대의 값으로 만들어 Q 팩터를 무한대로 설정할 수 있다.

본 발명의 제 2 실시예는 도 1과 같은 기본 구조를 갖는 DGS 회로의 갭(25) 위치에 캐패시터($35, C_{ex}$) 또는 인덕터($35, L_{ex}$)를 연결함으로써, 원하는 공진 주파수를 간단하게 설정하여 공진시킬 수 있는 공진기 회로이며, 이에 대하여 도 8~12를 참조하여 설명한다.

도 8은 본 발명의 실시예 중에서 외부 인덕터 또는 캐패시터를 연결하여 구성한 병렬 DGS 공진기의 구조를 나타낸 설명도, 도 9는 도 8에 나타낸 실시예의 등가회로를 나타낸 회로도, 도 10은 도 8에 나타낸 실시예에서 외부 소자로 캐패시터를 연결한 경우의 측정 결과를 나타낸 그래프, 도 11은 도 8에 나타낸 실시예에서 외부 소자로 인덕터를 연결한 경우의 측정 결과를 나타낸 그래프, 도 12a, b는 본 발명에 따른 실시예 중에서 1/4 파장 DGS 공진기의 실제 모습 및 크기를 나타낸 사진이다.

도 8에 나타낸 제 2 실시예는 상기 도 1의 DGS 회로의 기본 구조에서 마이크로스트립(15)의 일단의 양측단에 일정한 폭(w)을 갖는 피드라인(16a, 16b)을 형성하는데, 이 피드라인(16a, 16b)은 상기 마이크로스트립(15) 일단의 양측단에 일정 간격(s)을 유지하도록 형성된다.

그리고, 상기 마이크로스트립(15)의 타단은 바이아홀(via hole, 40)을 통하여 접지면(12)과 도선으로 연결된다.

상기 바이아홀(40)은 유전체 기판(10)에 형성된 구멍을 의미한다.

이렇게 구성된 제 2실시예는 도 9에 나타난 바와 같은 등가회로와 동일한 공진 회로를 형성한다.

도 9에서 보면, 선로 즉, 피드라인(16a, 16b)의 입출력단(input/output)에 연결된 커플링 캐패시터(In/Out coupling C, C_1 , C_2)는 상기 마이크로스트립(15)의 일단과 한 쌍의 피드 라인(16a, 16b)의 간격 s에 의하여 형성되는 캐패시터(C_1 , C_2)이다.

그리고, 상기 바이아홀(via hole, 40)은 DGS 셀(20)과 외부 인덕터(35 , L_{ex}) 또는 캐패시터(35 , C_{ex})에 의하여 형성되는 병렬 공진회로의 일단을 접지면(12)에 접지시켜 주는 작용을 한다.

상기 등가회로의 인덕터(L_{in}) 및 캐패시터(C_{in})는 DGS 셀(20)에 의하여 형성되는 공진 회로이고, 상기 DGS 셀(20)의 갭(25) 위치에 외부 인덕터(35 , L_{ex}) 또는 캐패시터(35 , C_{ex})를 연결하여 DGS 셀(20)에 의하여 형성된 인덕터(L_{in})의 인덕턴스 또는 캐패시터(C_{in})의 캐패시턴스 값을 변화시켜 주도록 회로를 구성하였다.

따라서, 상기 도 8에 나타난 DGS 회로를 이용한 병렬 공진회로는 DGS 셀(20)의 갭(25) 위치에 외부 캐패시터(35 , C_{ex}) 또는 인덕터(35 , L_{ex})를 연결하여 공진 주파수를 결정할 수 있다.

그러므로, 공진 주파수를 제어하기 위해서는 외부 인덕터(35 , L_{ex}) 또는 캐패시터(35 , C_{ex})의 값을 다르게 하여 제어하면 된다.

이에 대한 공진 주파수 제어의 예를 캐패시터(C_{ex})와 인덕터(L_{ex})의 경우로 나누어 각각 도 10 및 도 11을 참조하여 설명한다.

도 10에 나타난 그래프는 상기 DGS 셀(20)에 의한 병렬 공진회로(C_{in} , L_{in})에 외부 캐패시터(35 , C_{ex})를 병렬 연결하여 공진 주파수를 제어할 때에 연결되는 외부 캐패시터(35 , C_{ex})의 용량 변화에 따른 공진 주파수의 변화를 나타낸 것이다.

도 10에서 보면, 유전체 기판(10)의 접지면(12)에 식각된 패턴이 없는 구조의 단락된 $1/4$ 파장($\lambda/4$) 병렬 공진기의 기본 공진 주파수가 약 3GHz일 때에, 외부 캐패시터(35 , C_{ex})가 없는(도 10에 나타난 DGS 회로의 기본 구조) DGS 공진기의 경우는 DGS 셀의 슬로우-웨이브 효과 때문에 2.4GHz에서 기본 공진 주파수가 형성된다.

또한, DGS 셀(20)에 외부 캐패시터(35 , C_{ex})를 첨가하면 DGS 셀(20)에 의한 공진기(C_{in} , L_{in})의 캐패시터(C_{in})의 캐패시턴스를 증가시켜서 공진 주파수가 감소됨을 알 수 있다.

즉, 0.5pF, 2pF, 3pF의 용량을 갖는 외부 캐패시터(35 , C_{ex})를 각각 연결하면, 도 10에서와 같이, 외부 캐패시터(35 , C_{ex})의 용량이 증가함에 따라 공진 주파수가 하향 조정됨을 알 수 있다.

반면에, DGS 셀(20)의 하에 형성된 공진기(C_{in} , L_{in})에 외부 인덕터(35 , L_{ex})를 연결하는 경우에는 외부 인덕터(35 , L_{ex})와 DGS 셀에 의한 인덕터(L_{in})의 병렬 연결에 기인하여 전체 인덕턴스가 감소하는 효과를 나타낸다.

따라서, 외부 인덕터(35 , L_{ex})의 인덕턴스가 감소함에 따라 도 11에서 보는 바와 같이, 공진 주파수가 증가함을 보인다.

즉, 4.7nH, 2.7nH의 인덕턴스를 갖는 외부 인덕터(35 , L_{ex})를 각각 연결하면, 도 11에서와 같이, 전체 인덕턴스가 감소함에 따라 공진 주파수가 상향됨을 알 수 있다.

여기서, 외부 인덕터(35 , L_{ex})를 연결할 때에 외부 인덕터(35 , L_{ex})가 칩 인덕터로 이루어지기 때문에 기생 저항이 내재되어 있어서 공진기의 Q 팩터를 저하시키는 현상이 발생하였고, 인덕턴스의 제한 때문에 상기 캐패시턴스(도 10)의 경우처럼 비교적 큰 공진 주파수의 이동이 나타나지 않았다.

도 12는 상기 실시예 설명에 사용된 $1/4$ 파장($\lambda/4$) DGS 공진기의 실제 모습과 크기를 표현하기 미국의 25 센트(quarter dollar) 동전과 비교 촬영한 사진이다.

본 발명의 제 3실시예는 도 13과 같은 기본 구조를 갖는 DGS 회로를 이용하여 RF 스위치로 이용할 수 있는 회로인데, 도 13~17을 이용하여 설명한다.

도 13은 RF 스위치를 설계하기 위한 단위 DGS 셀을 나타낸 구조도, 도 14는 도 13에 나타난 단위 DGS 셀의 등가회로를 나타낸 회로도, 도 15는 도 13에 나타난 단위 DGS 셀을 이용한 RF 스위치의 구조를 나타낸 구조도, 도 16a, b는 도 15에 나타난 DGS RF 스위치의 실제 모습과 크기를 나타낸 사진, 도 17은 도 13에 나타난 단위 DGS 셀을 이용한 RF 스위치의 스위칭 특성을 측정한 결과를 나타낸 그래프이다.

도 13은 DGS 셀을 이용하여 RF 스위치를 구현하기 위하여 유전체 기판(10)의 접지면(12)에 단위 DGS 셀(20)을 식각한 것을 나타낸 것으로, 이에 대한 등가회로는 도 14에 나타내었다.

도 13에서 회색 부분은 마이크로스트립(15) 전송 선로이며, 마이크로스트립(15)의 폭(w)은 기존 구조의 특성 임피던스 50(ohm)을 갖는 1.5mm로 구현하였고, 시뮬레이션 및 제작에 사용된 도 13의 변수 a와 b는 각각 5mm와 0.5mm로 하였다.

유전체 기판(10)은 유전상수가 10이고, 두께가 62mil인 타코닉(Taconnic)사의 CER-10을 사용하였다.

단일 DGS 셀을 상기 안소프트 코리아사의 HFSS V. 6.0 EM 시뮬레이터를 이용하여 시뮬레이션한 결과, 40GHz 근방의 감쇄극과 2.750GHz의 3dB 차단 주파수 특성을 나타내었다.

따라서, 본 발명의 DGS 셀을 이용한 RF 스위치의 특성은 1-폴(pole) 버터워스(Butterworth) 저역 통과 여파기와 하나의 감쇄극을 갖는 회로로 간주할 수 있고, 이 특성으로부터 도 13에 나타난 DGS 회로의 동작 회로를 도 14와 같이 추출하였으며, DGS 셀에 의한 인덕터(L_m)의 인덕턴스는 3.1191nH이고, 캐패시터(C_m)의 캐패시턴스는 0.4951pF이다.

아래의 표 1은 DGS 셀에 위치한 제어 소자인 다이오드(바랙터 다이오드, 24a~24c)의 캐패시턴스가 변화함에 따라 감쇄극 주파수를 나타낸 것으로, 캐패시턴스가 증가함에 따라 감쇄극이 급격하게 낮아지는 것을 알 수 있다.

[표 1]

캐패시턴스	공진 주파수
0.4951pF	4.06GHz
11.4951pF	840MHz

공진 주파수의 이동은 통과 대역의 변화를 의미하고 특정 주파수 대역에서 스위칭 작용을 할 수 있다는 것을 의미한다.

따라서, 바랙터 다이오드(varactor diode, 24a~24c)의 캐패시턴스 변화를 통하여 특정 주파수 대역에서의 스위칭로써 이용할 수 있다.

상기 도 16a, b는 3개의 DGS 셀(22a~22c)을 중속 연결하고, 바랙터 다이오드(24a~24c)를 부착한 TPST 스위치의 모습과 크기를 미국 25센트(quarter dollar) 동전과 비교 촬영한 사진이다.

RF 스위치의 온(on) 상태의 캐패시턴스는 0.495pF이고, 오프(off) 상태의 캐패시턴스는 11.495pF이다.

도 17은 중심 주파수가 840MHz인 RF 스위치의 온/오프 동작 상태를 시뮬레이션한 결과이고, 800MHz에서부터 900MHz까지의 통과 대역을 나타낸다.

도 16a, b에서 보는 바와 같이, RF 스위치의 제어 소자인 바랙터 다이오드(24a~24c)는 전송 선로인 마이크로스트립(15)의 바로 아래 부분의 DGS 상에 위치하고, 이 부분은 접지면(12)에서 전계 밀도 분포가 가장 강한 부분이 된다.

바랙터 다이오드(24a~24c)는 도시바(Toshiba)사의 1SV229를 사용하였고, 역방향 전압에 대응하는 캐패시턴스 특성은 5V에서 10pF이고, 12V에서 5pF이다.

상기 설명에서는 DGS 회로를 이용하여 저항을 이용하여 공진기의 Q 팩터를 조절하거나 인덕터 또는 캐패시터를 이용하여 공진 주파수를 간단하게 제어할 수 있는 병렬 공진회로, RF 스위치 등에 대하여 설명하였지만, 본 발명에 따른 전자 소자가 결합된 DGS 회로는 상기 실시예 외에도 저역 여파기, 고역 여파기, 대역 여파기, 튜너블 여파기(tunable filter), 위상 변환기, 전력 분배기, 방향성 결합기와 같은 소자에 응용할 수 있으며, 안테나의 복사 패턴 개선, 하모닉 제거용 여파기에 사용될 수 있다.

발명의 효과

상기한 바와 같이 이루어진 본 발명은 유전체 기판의 접지면에 형성된 DGS 셀의 갭 위치에 전자 소자를 결합시킴으로써, 공진기의 Q 팩터와 공진 주파수를 원활하게 제어할 수 있으면서, 전력 손실율을 최소화하여 줄여 주는 주파수 제어 소자로써 저고역 여파기와 대역 여파기, 튜너블 여파기, 위상 변환기, 전력 분배기, 방향성 결합기와 같은 소자에 응용할 수 있다.

그리고, 안테나의 복사 패턴 개선, 하모닉 제거용 여파기에 사용될 수 있다.

이상에서는 본 발명을 특정의 바람직한 실시예를 예로 들어 도시하고 설명하였으나, 본 발명은 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술 분야에 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

(57) 청구의 범위

청구항 1

유전성 물질로 이루어진 유전체 기판과;

상기 유전체 기판의 일면에 피막된 도전막으로써, 내부의 양단부에 전계 밀집 부분을 형성하는 갭을 포함하는 식각부를 갖는 접지면과;

상기 유전체 기판의 접지면 반대면의 갭 위치에 피막되어 신호를 전송하는 전송 선로와;

상기 접지면의 양단부에 그 양단이 접속되는 전자 소자로 구성되는 것을 특징으로 하는 유전체의 접지면에 식각된 결합 구조를 갖는 공진기.

청구항 2

제 1항에 있어서, 상기 전자 소자는 저항으로 구성되며, 저항값을 조절하여 공진기의 Q 팩터를 조절하는

것을 특징으로 하는 유전체의 접지면에 식각된 결함 구조를 갖는 공진기.

청구항 3

제 1항에 있어서, 상기 전자 소자는 캐패시터로 구성되며, 캐패시터의 캐패시턴스가 변화함에 따라 공진기의 공진 주파수를 변화시켜 주는 것을 특징으로 하는 유전체의 접지면에 식각된 결함 구조를 갖는 공진기.

청구항 4

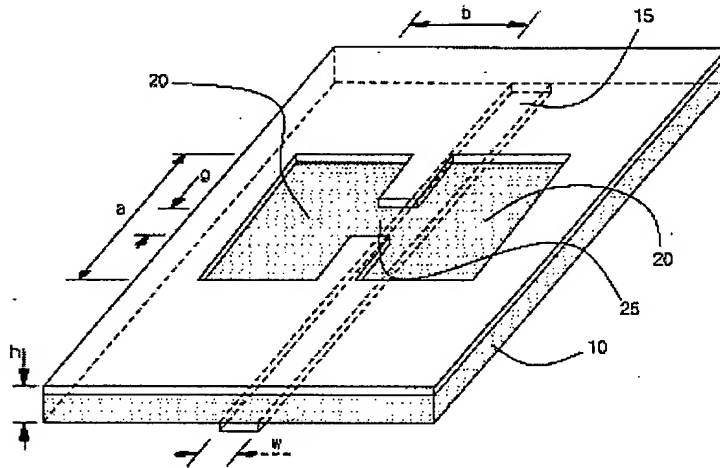
제 1항에 있어서, 상기 전자 소자는 인덕터로 구성되며, 인덕터의 인덕턴스가 변화함에 따라 공진기의 공진 주파수를 변화시켜 주는 것을 특징으로 하는 유전체의 접지면에 식각된 결함 구조를 갖는 공진기.

청구항 5

제 1항에 있어서, 상기 전자 소자는 바랙터 다이오드로 구성되며, 바랙터 다이오드의 양단에 가해지는 전압을 제어함으로써 캐패시턴스를 변화시켜서 공진기의 공진 주파수를 변화시켜 주는 것을 특징으로 하는 유전체의 접지면에 식각된 결함 구조를 갖는 공진기.

도면

도면1



도면2

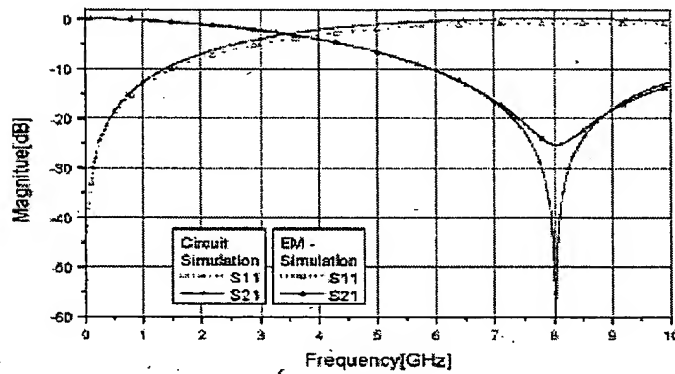


FIG 3

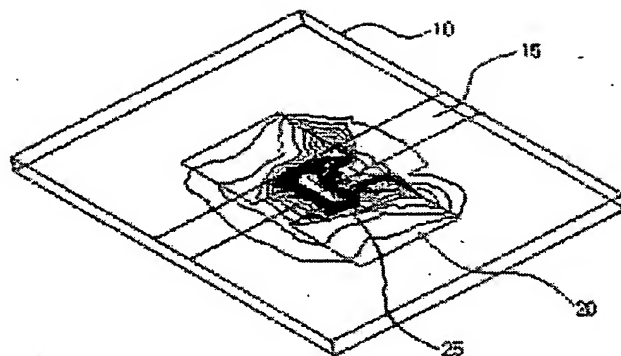


FIG 4

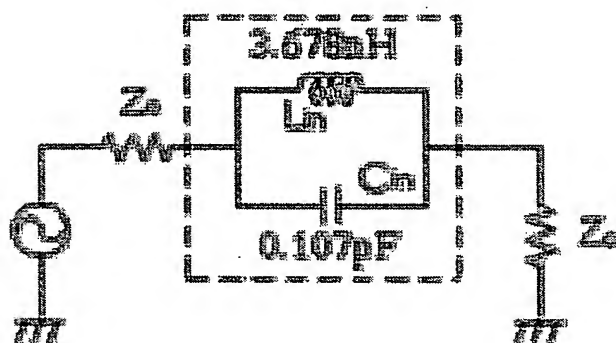


FIG 5

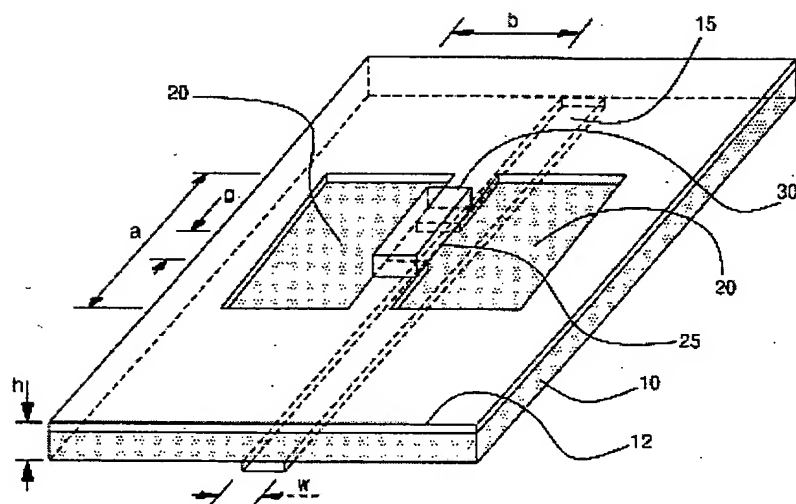


FIG 6

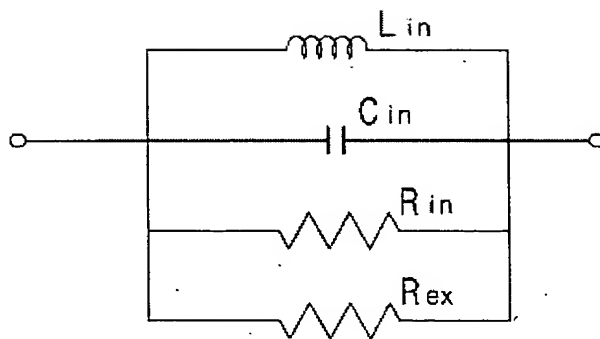


FIG 7

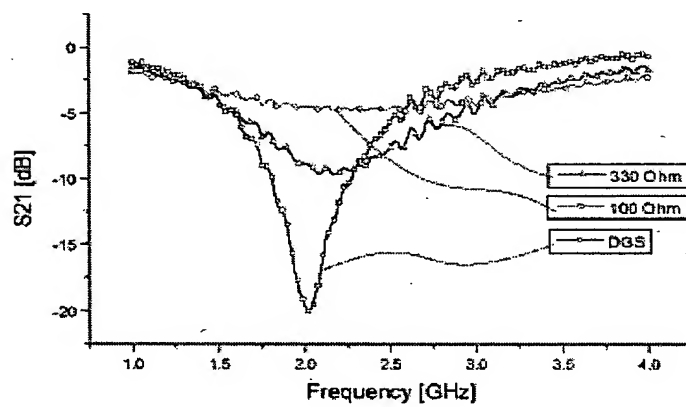
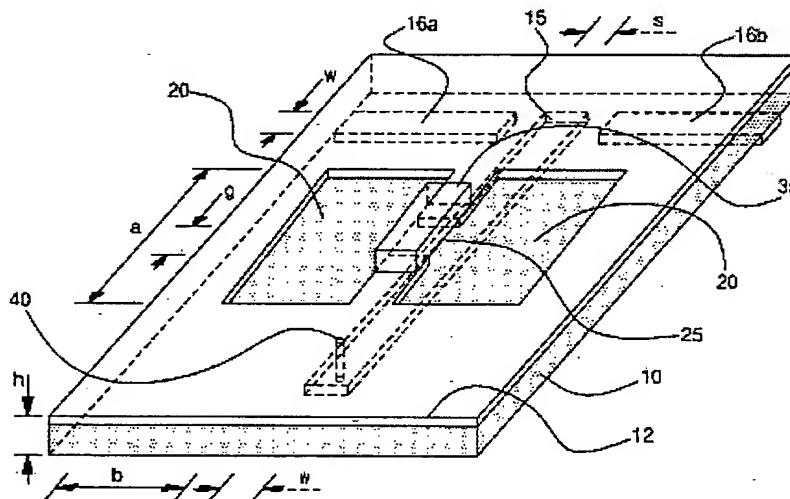
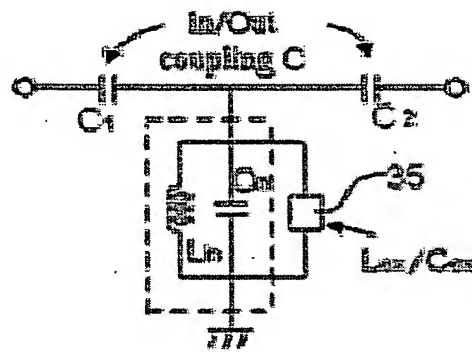


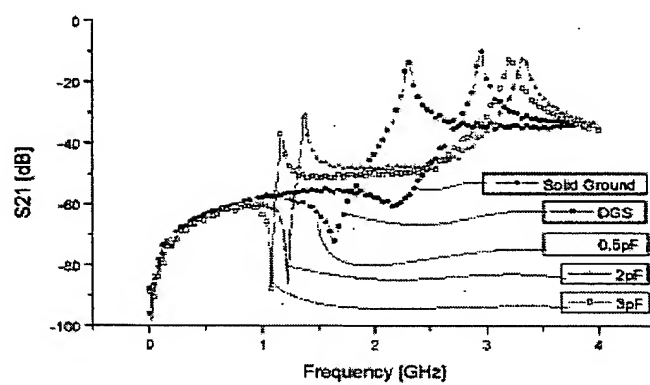
FIG 8



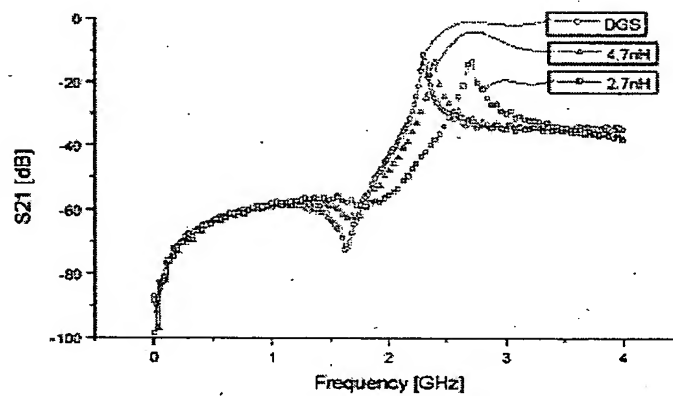
도면9



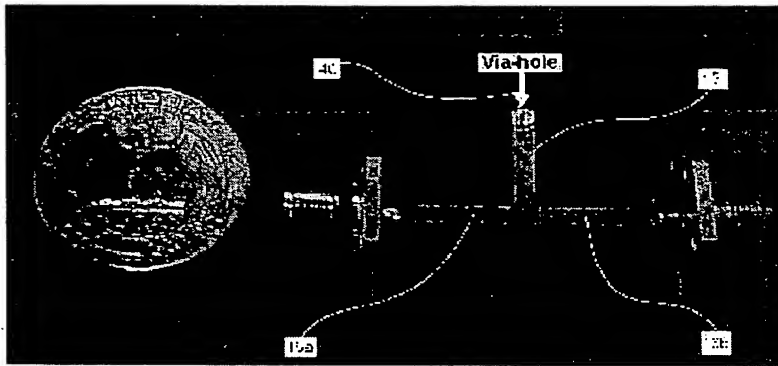
도면10



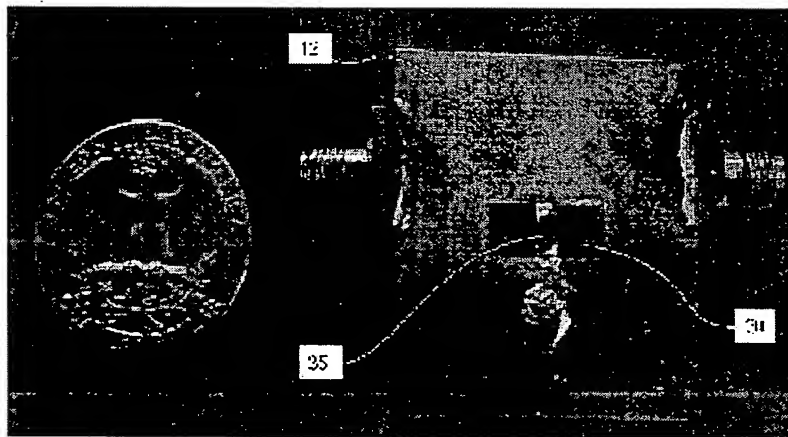
도면11



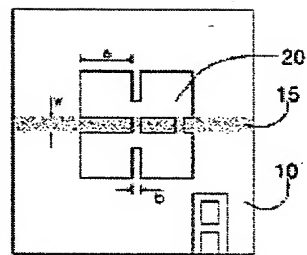
도면 12a



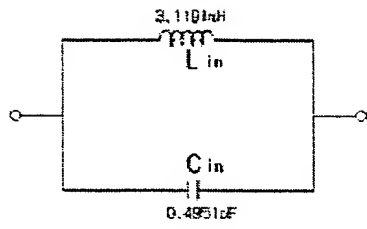
도면 12b



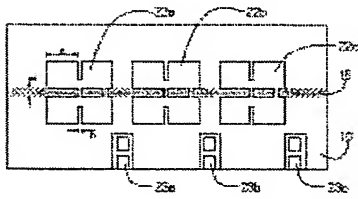
도면 13



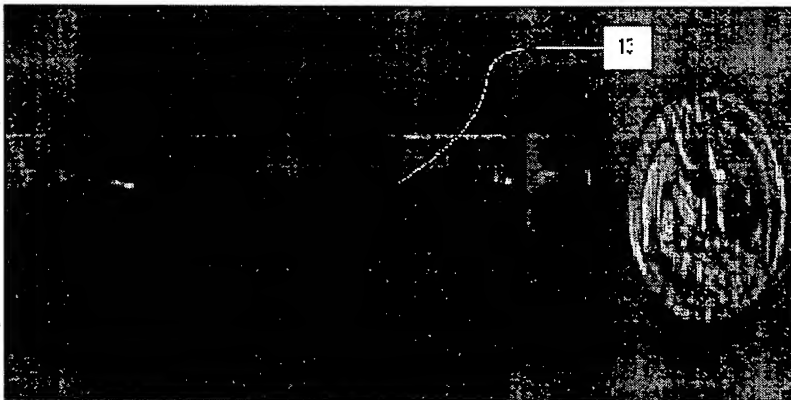
도면 14



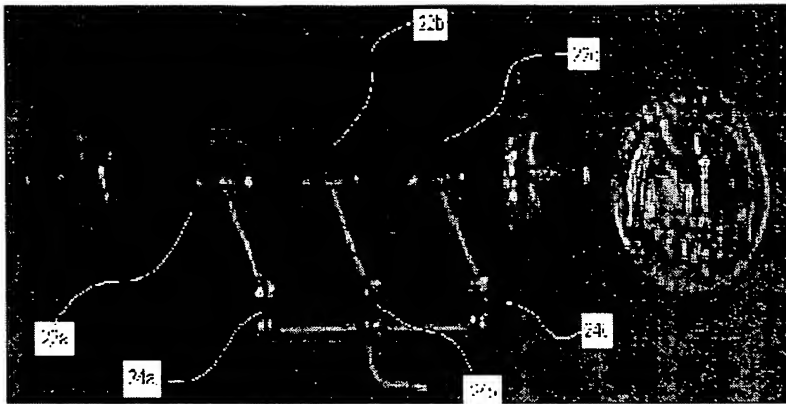
도면 15



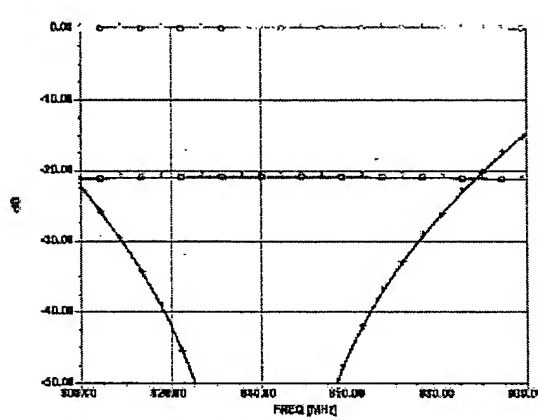
도면 16a



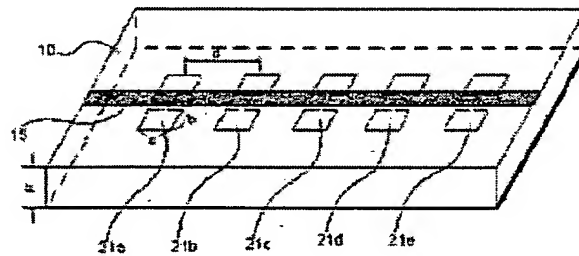
도면 18b



도면 17



도면 18



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.